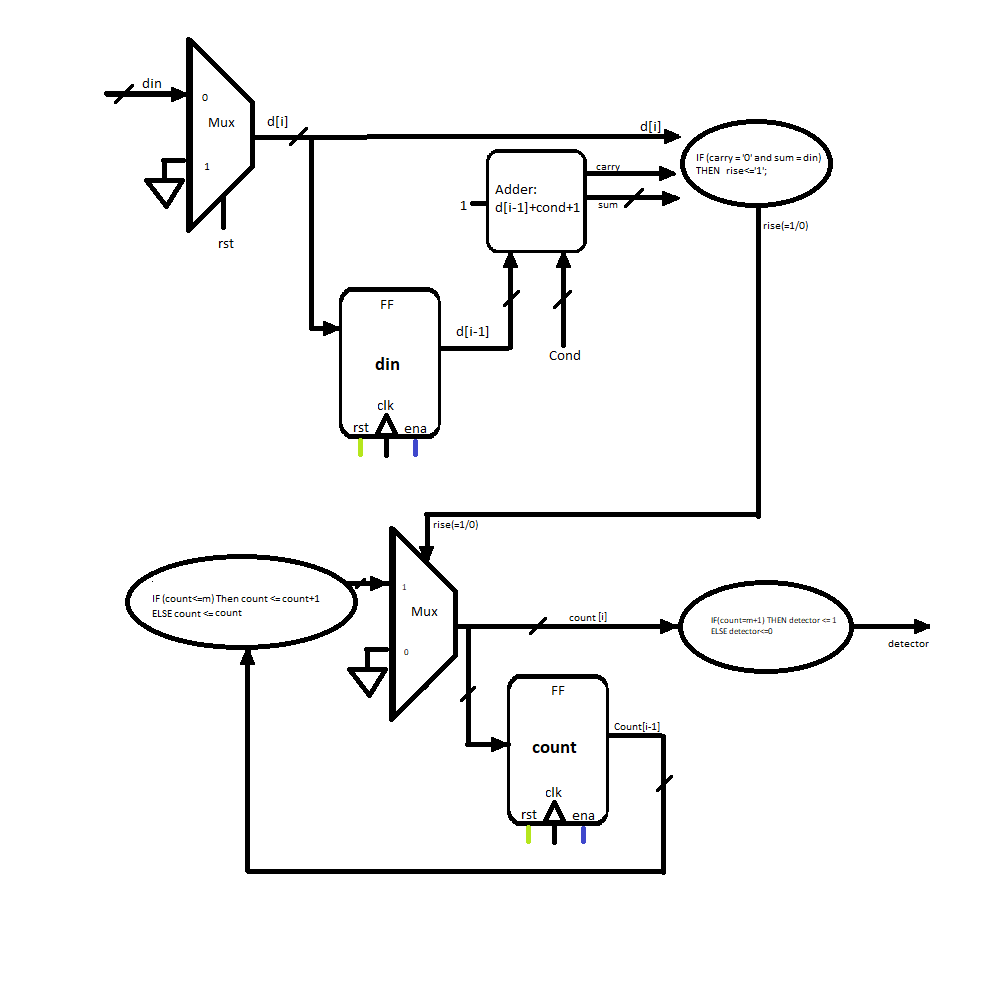
**Lab 2- VHDL**

**Amit Nagar Halevy and Tal Kapelnik**

**The circuit plan:**

**sequential processes**

**Logical processes**

כמה נקודות להבהרה:

* בחרנו להשתמש בADDER לחיבור של COND עם Din[i-1] והוספת CARRY IN, כלומר אם הCOND = 0, אזי אנחנו מקבלים את Din[i-1]+1, ש1+ מגיע מהCARRY שהכנסנו. ולכן אח"כ נוכל לדעת אם התנאי הדרוש התקים כאשר נשווה לDin את התוצאה של הADDER.
* במעגל זה ישנם 2 FF.
* למרות שיש 2 FF במעגל ישנו רק DELAY של מחזור שעון אחד שנגררת מהFF של הDIN הראשון. הFF השני לא משתמש לחישוב הdetactor הנוכחי. אלה רק לשמירת ערך הCOUNT למחזור השעון הבא.

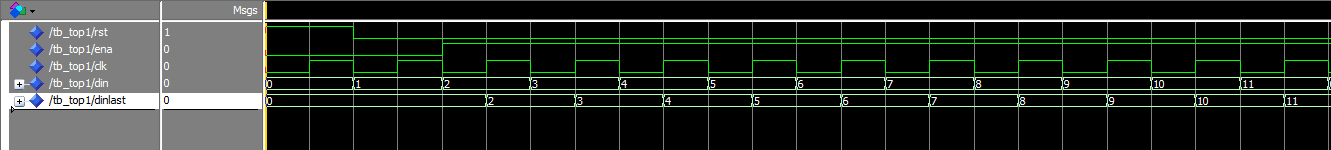
ביצענו 4 בדיקות לכל אחד מהרכיבים המסומנים בתוכנית המעגל: top1-4

ובדיקה כללית לכל העבודה: top

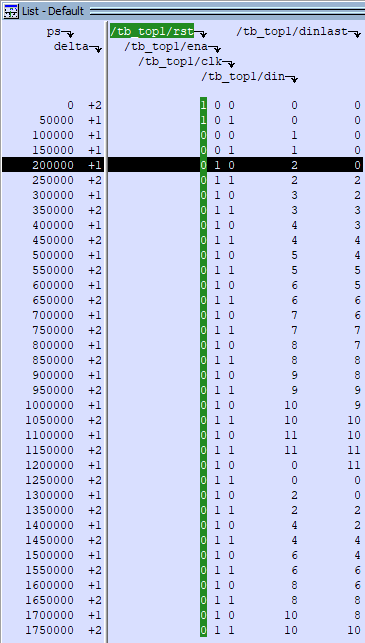
**פירוט הבדיקות:**

**Top1 test:**

רק כשRST יורד וכשאר ENA עולה הPROCESS מתחיל לעבוד



ניתן לראות שכל מחזור שעון, אנחנו מקבלים את DIN בדיליי של מחזור שעון אחד בדיוק

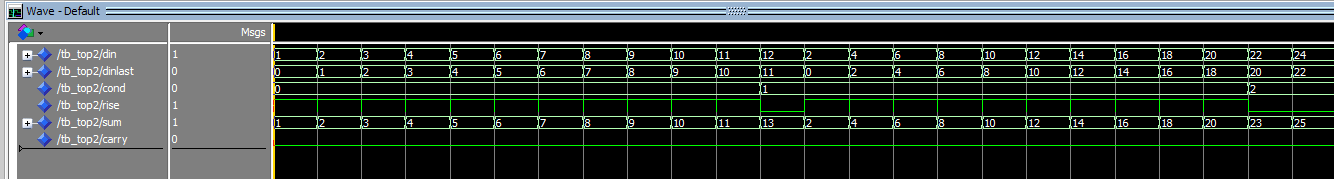


ניתן לראות שכל מחזור שעון, אנחנו מקבלים את DIN בדיליי של מחזור שעון אחד בדיוק

ניתן לראות שכל מחזור שעון, אנחנו מקבלים את DIN בדיליי של מחזור שעון אחד בדיוק

ניתן לראות שכל מחזור שעון, אנחנו מקבלים את DIN בדיליי של מחזור שעון אחד בדיוק

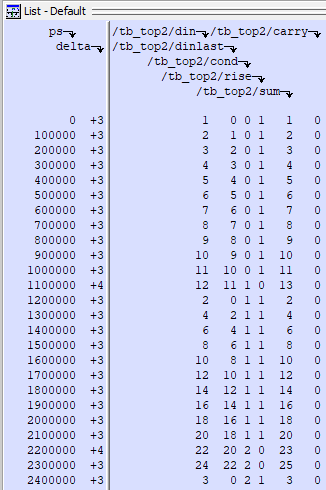
באופן דומה ניתן לראות זאת בLIST

**Top2 test:**

ניתן לראות ש DINLAST +1 + COND = SUM

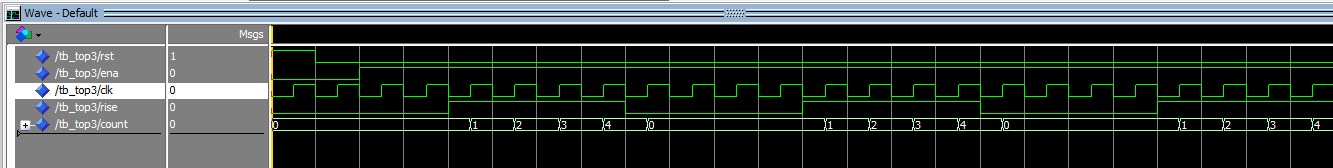
בדוגמה פה 12 שונה מ 13 ולכן RISE =0

כאשר SUM=DIN, ניתן לראות שRISE=1, בדוגמה פה 8=8 ולכן RISE =1

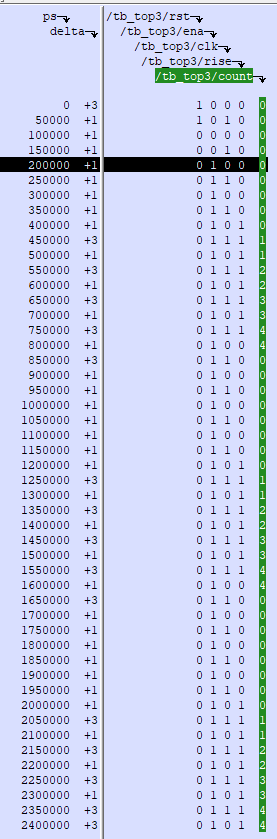
****

**Top3 test:**

כאשר RISE =1 הCOUNT גדל ב1

****

כאשר RISE =0 הCOUNT מתאפס

****